

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-083157

(43)Date of publication of application : 31.03.1998

(51)Int.Cl. G09G 3/20
G06F 1/04
G09G 3/18
G09G 5/00

(21)Application number : 08-237640

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 09.09.1996

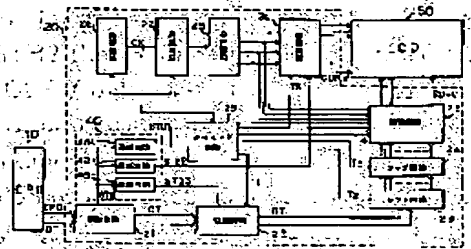
(72)Inventor : TERAISHI TOSHIO

(54) DISPLAY DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display driving device without causing an abnormal display when a standby mode is switched to a display mode.

SOLUTION: When a standby command CMD is inputted, a control circuit 21 makes a standby signal STB an 'H'. A delay circuit 40b makes the standby signal STB2 the 'H' in response to that. Thus, display device driving signals RDRV, CDRV outputted from the drive circuits 25, 30 are stopped, and a display of an LCD(liquid crystal display device) 50 is stopped. Succeedingly, the standby signal STB3 outputted from the delay circuit 40c becomes the 'H', and a storage circuit 22 becomes the standby mode. Thereafter, the standby signal STB1 outputted from the delay circuit 40a becomes the 'H', and an oscillation circuit 26 and a booster circuit 27 are stopped in operation. When the mode is moved to the display mode, the standby signals STB1, etc., are outputted at the timing operating respective circuits in the order opposite to that.



LEGAL STATUS

[Date of request for examination]

31.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3485422

[Date of registration]

24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While the command and the data for a display which specify a standby mode or a display mode are given and outputting the standby signal according to this command The standby signal outputted from the control circuit which outputs these data for a display, and said control circuit is inputted. The 1st delay circuit which only the 1st predetermined time delays this standby signal, and outputs it when this standby signal changes from an inactive condition to an active state, and is outputted, without delaying this standby signal when it changes from an active state to an inactive condition, It outputs without delaying this standby signal, when the standby signal outputted from said control circuit is inputted and this standby signal changes from an inactive condition to an active state. The 2nd delay circuit which only the 2nd predetermined time delays this standby signal, and outputs it when it changes from an active state to an inactive condition, The oscillator circuit which suspends the oscillation of this clock signal when the standby signal outputted from said 1st delay circuit oscillates the clock signal of constant frequency at the time of inactive and this standby signal is activated, The driver voltage generating circuit which suspends generating of this electrical potential difference for a display drive when the standby signal outputted from said 1st delay circuit generates the electrical potential difference for a display drive using said clock signal at the time of inactive and this standby signal is activated, The data for a display outputted from said electrical potential difference for a display drive and said control circuit are given. The display driving gear with which the drive circuit which suspends the output of this signal for a display drive when the standby signal outputted from said 2nd delay circuit outputs the signal for a display drive based on these data for a display at the time of inactive and this standby signal is activated is characterized by consisting of integrated circuits.

[Claim 2] While the command and the data for a display which specify a standby mode or a display mode are given and outputting the standby signal according to this command The standby signal outputted from the control circuit which outputs these data for a display, and said control circuit is inputted. The 1st delay circuit which only the 1st predetermined time delays this standby signal, and outputs it when this standby signal changes from an inactive condition to an active state, and is outputted, without delaying this standby signal when it changes from an active state to an inactive condition, It outputs without delaying this standby signal, when the standby signal outputted from said control circuit is inputted and this standby signal changes from an inactive condition to an active state. The 2nd delay circuit which only the 2nd predetermined time delays this standby signal, and outputs it when it changes from an active state to an inactive condition, When the standby signal outputted from said control circuit is inputted and this standby signal changes from an inactive condition to an active state When only the 3rd predetermined time shorter than said 1st predetermined time delays this standby signal, it is outputted and it changes from an active state to an inactive condition The 3rd delay circuit which only the 4th predetermined time shorter than said 2nd predetermined time delays this standby signal, and outputs it, The oscillator circuit which suspends the oscillation of this clock signal when the standby signal outputted from said 1st delay circuit oscillates the clock signal of constant frequency at the time of inactive and this standby signal is activated, The driver voltage generating circuit which suspends generating of this electrical potential difference for a display drive when the standby signal outputted

from said 1st delay circuit generates the electrical potential difference for a display drive using said clock signal at the time of inactive and this standby signal is activated, While storing the data for a display with which the standby signal outputted from said 3rd delay circuit is outputted from said control circuit at the time of inactive The store circuit which access of R/W is forbidden when the stored this data for a display are outputted according to a read-out demand and this standby signal is activated, and holds the this stored data for a display in the state of a low power, Said electrical potential difference for a display drive is given, and the standby signal outputted from said 2nd delay circuit reads the data for a display stored in said store circuit at the time of inactive, and outputs the signal for a display drive based on these data for a display to it. The display driving gear with which the drive circuit which suspends the output of this signal for a display drive is characterized by consisting of integrated circuits while stopping read-out of these data for a display, when this standby signal is activated.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display driving gear which drives indicating equipments, such as a liquid crystal display (henceforth "LCD"), especially the display driving gear which has the change function of a display mode and a standby mode (standby condition in a low power).

[0002]

[Description of the Prior Art] Reduction in supply voltage and low-power-ization are advanced in the large-scale-integrated-circuit (henceforth "LSI") technique. Since displays, such as LCD, are driven, low-battery-ization of supply voltage is performed also in the display driving gear which consisted of LSI. On the other hand in displays, such as LCD, a fluorescent indicator tube, and light emitting diode, the electrical potential difference required since a display pixel is driven was decided with the pixel ingredient, and further, in order to aim at improvement in display grace, the high voltage in which a high brightness output is possible is required in many cases. For this reason, in the display driving gear which consisted of LSI, supply voltage is made in agreement with supply voltage [, such as 5 [V],], such as a microcomputer, and the interface with this microcomputer etc. is planned. And he is trying to supply the electrical potential difference of 10 [V] extent for driving the display of LCD, for example from the driver voltage generating circuit established in the interior of a display driving gear. In the display driving gear which contained such a driver voltage generating circuit, in order to attain low-power-ization, actuation of this driver voltage generating circuit is stopped during a period without the need of displaying, and it has the standby mode held in the low-power condition, without supplying the power for a display drive to LCD.

[0003] When in the case of the personal computer equipped with a such display driving gear and the

indicating equipment by LCD, for example fixed time amount continuation is carried out and there is no input from a keyboard etc., he is trying for the change of a display mode and a standby mode to give the command which directs the change to a standby mode to a display driving gear from a central processing unit (henceforth "CPU"). If the command of the change to a standby mode is given, a display driving gear will output a standby signal to an internal driver voltage generating circuit, the store circuit which stores the indicative data, the drive circuit which supplies drive power per display pixel of LCD. Thereby, each internal circuit suspends actuation, with a condition maintained just before becoming a standby mode. Moreover, CPU will give the command which directs the change to a display mode to a display driving gear, if the input from a keyboard etc. is detected in a standby mode. If the command of the change to a display mode is given, a display driving gear will stop a standby signal. Thereby, the contents of a display just before becoming a standby mode come to be again displayed on LCD.

[0004]

[Problem(s) to be Solved by the Invention] However, the following technical problems occurred in the conventional display driving gear which consisted of LSI. If the command which directs a standby mode is given, in a display driving gear, standby signals will be outputted to each internal circuit all at once. Therefore, the sequence that each circuit changes to a standby mode is not fixed with circuitry. For this reason, for example, if a store circuit changes to a standby mode previously, the data read from this store circuit will turn into mistaken data. On the other hand, since the driver voltage generating circuit and the drive circuit have not changed to a standby mode yet, the phenomenon in which incomprehensible contents are displayed on LCD for a moment produces them. Or if a drive signal generating circuit changes to a standby mode while the drive circuit is performing the display action, driver voltage may fall gradually in the change process, and an abnormality display may arise. It was usually generated from the standby mode at the time of the change to a display mode, and these phenomena had the technical problem that displeasure was given to a user. This invention solves the technical problem which said conventional technique had, and offers the change to a standby mode, and the display driving gear which does not usually produce an abnormality display from a standby mode at the time of the change to a display mode.

[0005]

[Means for Solving the Problem] In order to solve said technical problem, the 1st invention of this inventions While the command and the data for a display which specify a standby mode or a display mode are given and outputting the standby signal according to this command The standby signal outputted from the control circuit which outputs these data for a display, and said control circuit is inputted. The 1st delay circuit which only the 1st predetermined time delays this standby signal, and outputs it when this standby signal changes from an inactive condition to an active state, and is outputted, without delaying this standby signal when it changes from an active state to an inactive condition, It outputs without delaying this standby signal, when the standby signal outputted from said control circuit is inputted and this standby signal changes from an inactive condition to an active state. The 2nd delay circuit which only the 2nd predetermined time delays this standby signal, and outputs it when it changes from an active state to an inactive condition, the oscillator circuit, the driver voltage generating circuit, and the drive circuit consist of integrated circuits. An oscillator circuit is a circuit which suspends the oscillation of this clock signal, when the standby signal outputted from said 1st delay circuit oscillates the clock signal of constant frequency at the time of inactive and this standby signal is activated. A driver voltage generating circuit is a circuit which suspends generating of this electrical potential difference for a display drive, when the standby signal outputted from said 1st delay circuit generates the electrical potential difference for a display drive using said clock signal at the time of inactive and this standby signal is activated. Moreover, a drive circuit is a circuit which suspends the output of this signal for a display drive, when the data for a display outputted from said electrical potential difference for a display drive and said control circuit are given, the standby signal outputted from said 2nd delay circuit outputs the signal for a display drive based on these data for a display at the

time of inactive and this standby signal is activated.

[0006] The control circuit as the 1st invention where the 2nd invention is the same, and the 1st and 2nd same delay circuits as the 1st invention, When the standby signal outputted from said control circuit is inputted and this standby signal changes from an inactive condition to an active state When only the 3rd predetermined time shorter than said 1st predetermined time delays this standby signal, it is outputted and it changes from an active state to an inactive condition The 3rd delay circuit which only the 4th predetermined time shorter than said 2nd predetermined time delays this standby signal, and outputs it, While storing the data for a display with which the standby signal outputted from the same oscillator circuit as the 1st invention, the same driver voltage generating circuit as the 1st invention, and said 3rd delay circuit is outputted from said control circuit at the time of inactive The store circuit which access of R/W is forbidden when the stored this data for a display are outputted according to a read-out demand and this standby signal is activated, and holds the this stored data for a display in the state of a low power, The standby signal which said electrical potential difference for a display drive is given, and is outputted from said 2nd delay circuit at the time of inactive When the signal for an indicating-equipment drive on which the data for a display stored in said store circuit were read, and these data for a display were based is outputted and this standby signal is activated, while stopping read-out of these data for a display The drive circuit which suspends the output of this signal for a display drive consists of integrated circuits.

[0007] According to the 1st invention, since the display driving gear was constituted as mentioned above, the following operations are performed. If a standby signal changes from an inactive condition to an active state, a standby signal will be immediately given from the 2nd delay circuit to a drive circuit, and the output of a drive circuit will stop. Subsequently, a standby signal is given from the 1st delay circuit to an oscillator circuit and a driver voltage generating circuit, and generating of a clock signal and the electrical potential difference for a display drive stops. If a standby signal changes from an active state to an inactive condition, the standby signal given to an oscillator circuit and a driver voltage generating circuit will be in an inactive condition from the 1st delay circuit immediately, and generating of a clock signal and the electrical potential difference for a display drive will be started. Subsequently, the standby signal given to a drive circuit will be in an inactive condition from the 2nd delay circuit, and the signal for a display drive will be outputted from a drive circuit. According to the 2nd invention, the following operations are performed.

[0008] If a standby signal changes from an inactive condition to an active state, a standby signal will be immediately given from the 2nd delay circuit to a drive circuit, and the output of this drive circuit will stop. Subsequently, a standby signal is given from the 3rd delay circuit to a store circuit, and this store circuit will be in a standby condition. Then, a standby signal is given from the 1st delay circuit to an oscillator circuit and a driver voltage generating circuit, and generating of a clock signal and the electrical potential difference for a display drive stops. If a standby signal changes from an active state to an inactive condition, the standby signal given to an oscillator circuit and a driver voltage generating circuit will be in an inactive condition from the 1st delay circuit immediately, and generating of a clock signal and the electrical potential difference for a display drive will be started. Subsequently, the standby signal given to a store circuit will be in an inactive condition from the 3rd delay circuit, and this store circuit will be in operating state. Then, the standby signal given to a drive circuit will be in an inactive condition from the 2nd delay circuit, and the signal for a display drive will be outputted from this drive circuit.

[0009]

[Embodiment of the Invention] Drawing 1 is the block diagram of the outline of a LCD display of having the display driving gear which shows the operation gestalt of this invention and consisted of LSI. This LCD indicating equipment is controlled by CPU10 which controls a display / non-display ** of this whole equipment while it outputs the data DT for a display. CPU10 is connected to the control circuit 21 of the display driving gear 20. A control circuit 21 is a circuit which outputs the command CMD which

specifies a standby mode (namely, standby mode) or a display mode from CPU10, and the standby signal (for example, standby signal) STB corresponding to this command CMD while the data DT for a display were given and outputting this data DT for a display. The standby signal STB is a signal which is activated at the time of a standby mode, for example, becomes logic "H", and becomes the logic "L" of an inactive condition at the time of a display mode. The store circuit 22 is connected to the output side of the data DT for a display in a control circuit 21. A store circuit 22 consists of for example, static random access memory (SRAM). When the standby signal STB 3 given from the below-mentioned delay circuit 40c is "L", while storing the data DT for a display in a bit map format It is the memory which the data DT for a display stored according to the read-out demand are outputted, access of R/W is forbidden when the standby signal STB 3 is "H", and lowers power consumption rather than the time of the standby signal STB 3 being "L", and holds the stored data DT for a display.

[0010] The shift circuit 23 is connected to the output side of a store circuit 22. The shift circuit 23 is a register for reading per display line, shifting the data DT for a display in a store circuit 22, and aligning them to a corresponding display position. The latch circuit 24 is connected to the output side of the shift circuit 23. A latch circuit 24 is a circuit which holds and outputs the data DT for a display of the line unit which aligned in the shift circuit 23, and the data input side of the drive circuit 25 is connected to the output side of this latch circuit 24. The drive circuit 25 outputs the signal RDRV for an indicating-equipment drive corresponding to a display column based on the data DT for a display outputted from a latch circuit 24, when the standby signal STB 2 which the electrical potential difference for a display drive is given, and is given from the below-mentioned delay circuit 40b is "L", and when the standby signal STB 2 is "H", it is a circuit which suspends the output of this signal RDRV for an indicating-equipment drive. The display driving gear 20 has the oscillator circuit 26 again. An oscillator circuit 26 oscillates clock signal CK of constant frequency, when the standby signal STB 1 given from the below-mentioned delay circuit 40a is "L", and when the standby signal STB 1 is "H", it is an oscillator which suspends the oscillation of this clock signal CK. The driver voltage generating circuit 27 which consists of a booster circuit 27 and a partial pressure circuit 28, and the timing circuit 29 are connected to the output side of an oscillator circuit 26.

[0011] A booster circuit 27 is a circuit which generates the direct current voltage of 10 [V] required since clock signal CK given from an oscillator circuit 26 is used as a control signal for switching, for example, LCD is driven from the DC power supply of 5 [V]. The partial pressure circuit 28 is connected to the output side of a booster circuit 27. The partial pressure circuit 28 is a circuit which generates two or more electrical potential differences for a display drive required for the pixel display of LCD. (for example, 3.3 [V], 6.7, etc. [V]), and is constituted from the direct current voltage of 10 [V] given from a booster circuit 27 by the resistance-type potential divider. The output side of the partial pressure circuit 28 is connected to the input side of the electrical potential difference for a display drive of said drive circuit 25 and the drive circuit 30. The drive circuit 30 carries out the sequential output of the signal CDRV for an indicating-equipment drive corresponding to a display line, when the standby signal STB 2 which the electrical potential difference for a display drive is given, and is given from the below-mentioned delay circuit 40b is "L", and when the standby signal STB 2 is "H", it is a circuit which suspends the output of this signal CDRV for an indicating-equipment drive. A timing circuit 29 is a circuit which generates and outputs a store circuit 22, the shift circuit 23, a latch circuit 24 and the drive circuit 25, the timing signals T1 and T2 required for actuation of each circuit of 30 grades, T3, T four, and T5 grade based on clock signal CK to which it is given from an oscillator circuit 26.

[0012] The input side of a delay circuit 40 is connected to the output side of the standby signal STB in a control circuit 21. The delay circuit 40 consists of the 1st delay circuit 40a, the 2nd delay circuit 40b, and the 3rd delay circuit 40c. Delay circuit 40a is a circuit which outputs the standby signal STB 1 which changes from "H" to "L" immediately, when only the 1st predetermined time (for example, Δt_1) is delayed, and it changes from "L" to "H", when the standby signal STB changes from "L" to "H", and it changes from "H" to "L". The oscillator circuit 26 and the booster circuit 27 are connected

to the output side of delay circuit 40a. Delay circuit 40b is a circuit which outputs the standby signal STB 2 which only the 2nd predetermined time (for example, deltat2) is delayed, and changes from "H" to "L", when it changes from "L" to "H" immediately when the standby signal STB changes from "L" to "H", and it changes from "H" to "L". The drive circuits 25 and 30 are connected to the output side of delay circuit 40b.

[0013] The 3rd predetermined time with delay circuit 40c shorter than deltat1 when the standby signal STB changes from "L" to "H". When only (deltat3 [for example,]) is delayed, it changes from "L" to "H" and it changes from "H" to "L", it is the circuit which outputs the standby signal STB 3 which only the 4th predetermined time (for example, deltat4) shorter than deltat2 is delayed, and changes from "H" to "L". The store circuit 22 is connected to the output side of delay circuit 40c. LCD50 is connected to the output side of the drive circuits 25 and 30 of this display-control circuit 20. LCD50 is a display which the pixel of the crossover location turns on, when it has the display pixel arranged in the shape of a matrix in the crossover location of two or more electrodes prepared in the direction of length (train), and the direction of width (line) in the shape of a grid and the inter-electrode potential difference of a train and a line becomes more than constant value. Two or more electrodes of the direction of a train drive by the drive circuit 25, and two or more electrodes of a line writing direction drive serially by the drive circuit 30. Drawing 2 (1) and (2) are the explanatory views showing an example of the delay circuit 40 in drawing 1, and the circuit diagram showing [this] circuitry. (1) and this drawing (2) are the timing diagrams for explaining a function.

[0014] The delay circuit 40 of drawing 2 (1) is a circuit which realizes the function of the delay circuits 40a, 40b, and 40c of drawing 1 to coincidence, and has resistance 41. The standby signal STB is given to the end of resistance 41, and the end of a capacitor 42 and the input side of an inverter 43 are connected to the other end of this resistance 41. The other end of a capacitor 42 is connected to the touch-down potential GND, and the output side of an inverter 43 is connected to the input side of an inverter 44, and the end of resistance 45. The other end of resistance 45 is connected to the end of a capacitor 46, and the input side of an inverter 47. The other end of a capacitor 46 is connected to the touch-down potential GND, and the output side of an inverter 47 is connected to the 1st input side of an AND (AND) gate 48 and the OR (OR) gate 49. Moreover, the standby signal STB is inputted into the 2nd input side of the AND gate 48 and the OR gate 49. And the standby signals STB1, STB2, and STB3 are outputted, respectively from the output side of the AND gate 48, the OR gate 49, and an inverter 44.

[0015] Next, the function of this delay circuit 40 is explained. In the time of day $t1$ of drawing 2 (2), if the standby signal STB changes from "L" to "H", the start of the signal S41 inputted into an inverter 43 will be overdue with the integrating circuit by resistance 41 and the capacitor 42. Thereby, in time of day $t2$, the signal S43 of the output side of an inverter 43 changes from "H" to "L". The fall of the signal S43 in time of day $t2$ is delayed in the integrating circuit by resistance 45 and the capacitor 46, and is given to an inverter 47 as a signal S45. Thereby, the signal S47 of the output side of an inverter 47 changes from "L" to "H" at time of day $t3$. It is also the same as when the standby signal STB changes from "H" to "L" in time of day $t4$, and at time of day $t5$, a signal S43 changes from "L" to "H", and a signal S47 changes from "H" to time of day $t6$ at "L".

[0016] In the AND gate 48, since the AND of the standby signal STB and a signal S47 is taken, when only the 1st predetermined time deltat1 ($=t3-t1$) changes later than the time of the standby signal STB changing from "L" to "H" and it changes from "H" to "L", the standby signal STB 1 which changes immediately is outputted to the output side of this AND gate 48. Moreover, since the OR of the standby signal STB and a signal S47 is taken, when it changes immediately when the standby signal STB changes from "L" to "H", and it changes from "H" to "L", the standby signal STB 2 in which only the 2nd predetermined time deltat2 ($=t6-t4$) is and which changes is outputted to the output side of this OR gate 49 in the OR gate 49. Furthermore, only the 3rd predetermined time deltat3 ($=t2-t1$) shorter than the 1st predetermined time deltat1 when the standby signal STB changes from "L" to "H" is late for the output side of an inverter 44, and it changes. When it changes from "H" to "L", the standby signal

STB 3 in which only the 4th predetermined time $\text{deltat4} (=t5-t4)$ shorter than the 2nd predetermined time deltat2 is and which changes is outputted.

[0017] The value of resistance 41 and 45 and capacitors 41 and 46 is set up so that such 1st predetermined time deltat1 and the 2nd predetermined time deltat2 grade may become the timing by which mode change actuation of the following store circuit 22 grade is started, after the mode change of the drive circuit 25 and the circuit of 30 grades is ensured. Next, the actuation at the time of the change to a standby mode from the display mode in the LCD indicating equipment of drawing 1 (I) and the actuation at the time of the change to a display mode from a standby mode (II) are explained, referring to drawing 2.

[0018] (I) If the command CMD which directs the change to a standby mode to the display driving gear 20 from the actuation CPU 10 at the time of the change to a standby mode from a display mode is given, a control circuit 21 will decode this command CMD, and will change the standby signal STB from "L" to "H" in the time of day $t1$ of drawing 2 (2). The standby signal STB 2 outputted from a delay circuit 40 changes with the start of the standby signal STB in time of day $t1$ to "H" immediately. Since the standby signal STB 2 is given to the drive circuits 25 and 30, these drive circuits 25 and 30 suspend the output of the signals RDRV and CDRV for a display drive given to LCD50. Thereby, the display of LCD50 is turned off. In time of day $t2$, the standby signal STB 3 changes to "H". Since the standby signal STB 3 is given to the store circuit 22, this store circuit 22 becomes a standby mode. Then, in time of day $t3$, the standby signal STB 1 changes to "H". Since the standby signal STB 1 is given to the oscillator circuit 26 and the booster circuit 27, oscillation actuation of these oscillator circuits 26 and a booster circuit 27 and the direct current voltage for a LCD drive stop, and it will be in a standby condition completely.

[0019] Thus, since the drive circuits 25 and 30 were first changed to the standby mode, then the store circuit 22 was changed to the standby mode on the occasion of the change to a standby mode and the oscillator circuit 26 and the booster circuit 27 are finally changed to the standby mode, there is no possibility of saying that an abnormality display is performed to LCD50 at the time of the change to a standby mode. Furthermore, since a store circuit 22 is changed to a standby mode when timing signal T1 grade is normal, there is no possibility that the data stored in this store circuit 22 may be destroyed.

[0020] (II) If the command CMD which directs the change to a display mode to the display driving gear 20 from the actuation CPU 10 at the time of the change to a display mode from a standby mode is given, a control circuit 21 will decode this command CMD, and will change the standby signal STB from "H" to "L" in the time of day $t4$ of drawing 2 (2). The standby signal STB 1 outputted from a delay circuit 40 changes with the falls of the standby signal STB in time of day $t4$ to "L" immediately. Since the standby signal STB 1 is given to the oscillator circuit 26 and the booster circuit 27, these oscillator circuits 26 and booster circuits 27 start oscillation actuation and generating of the direct current voltage for a LCD drive. In time of day $t5$, the standby signal STB 3 changes to "L". Since the standby signal STB 3 is given to the store circuit 22, this store circuit 22 starts actuation.

[0021] Then, in time of day $t6$, the standby signal STB 2 changes to "L". Since the standby signal STB 2 is given to the drive circuits 25 and 30, these drive circuits 25 and 30 start the output of the signals RDRV and CDRV for a display drive over LCD50. This becomes a perfect display mode. Thus, since an oscillator circuit 26 and a booster circuit 27 start actuation first, then actuation of a store circuit 22 is started on the occasion of the change to a display mode and the drive circuits 25 and 30 finally start actuation, there is no possibility of saying that an abnormality display is performed to LCD50 at the time of the change to a display mode. Furthermore, since a store circuit 22 starts actuation after timing signal T1 grade is outputted normally, there is no possibility of saying that the data stored in the store circuit 22 are destroyed. As mentioned above, in the display driving gear 20 of this operation gestalt, there is an advantage like the following (i) and (ii).

[0022] (i) Since it has the delay circuit 40 which outputs the standby signals STB1-STB3 by the fixed sequence in order to change the mode of operation of each internal circuit, there is no possibility of

saying that it indicates by abnormalities, at the time of a mode change.

(ii) There is no possibility of saying that the data stored in the store circuit 22 are destroyed.

In addition, this invention is not limited to the above-mentioned operation gestalt, but various deformation is possible for it. As this modification, there is a thing like following (a) - (d), for example.

(a) When the display capacity of LCD50 is small, it can apply also in the display driving gear 20 without a store circuit 22. In that case, delay circuit 40c for giving the standby signal STB 3 to a store circuit 22 becomes unnecessary.

(b) It is applicable also to displays, such as not only LCD50 but light emitting diode, and a fluorescent indicator tube. However, it is necessary to replace with the drive circuits 25 and 30 and to use the drive circuit according to those displays in that case.

(c) As long as the circuit of a delay circuit 40 outputs the standby signals STB1, STB2, and STB3 to suitable timing not only according to what is shown in drawing 2 but according to the defined sequence, it may be what kind of circuitry.

(d) Although the display driving gear 20 of drawing 1 consists of LSI, it may consist of integrated circuits, such as ICs other than LSI, and VLSI.

[0023]

[Effect of the Invention] Since the 1st delay circuit which adjusts the timing of a standby signal and is given to an oscillator circuit and a drive signal generating circuit, and the 2nd delay circuit given to a drive circuit were prepared according to the 1st invention as explained to the detail above, after a display action stops, an oscillator circuit etc. is stopped, and a display action can be performed after an oscillator circuit etc. operates completely. Thereby, the abnormality display at the time of a mode change can be prevented. Since the 3rd delay circuit which adjusts the timing of a standby signal and is given to a store circuit was prepared [according to the 2nd invention,] in addition to the 1st and 2nd delay circuits in the 1st invention, it can add to the 1st effect of the invention, and the data corruption of the store circuit at the time of a mode change can be prevented.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the outline of a LCD display of the operation gestalt of this invention being shown and having a display driving gear.

[Drawing 2] It is the explanatory view showing the circuitry and the function of a delay circuit 40 in drawing 1.

[Description of Notations]

10 CPU

20 [] Display Driving Gear

21 [] Control Circuit
22 [] Store Circuit
25 30 Drive circuit
26 [] Oscillator Circuit
27 [] Booster Circuit
28 [] Partial Pressure Circuit
29 [] Timing Circuit
40, 40a, 40b, 40c Delay circuit
50 LCD

[Translation done.]

(11)特許出願公開番号

特開平10-83157

(43)公開日 平成10年(1998)3月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	Z
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C
G 0 9 G 3/18			G 0 9 G 3/18	
5/00	5 5 0		5/00	5 5 0 B

審査請求 未請求 請求項の数2 OL (全 8 頁)

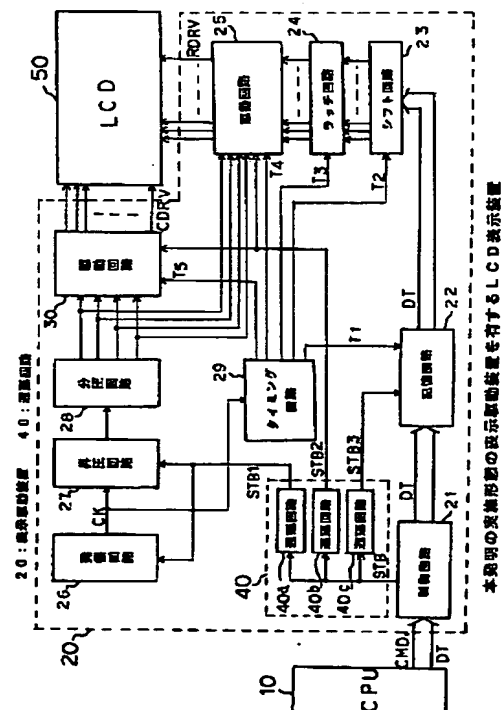
(21)出願番号	特願平8-237640	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成8年(1996)9月9日	(72)発明者	寺石 利夫 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 柿本 恭成

(54) 【発明の名称】 表示駆動装置

(57) 【要約】

【課題】 スタンバイモードと表示モードとの切替え時に、異常表示を発生しない表示駆動装置を提供する。

【解決手段】 スタンバイコマンドCMDが入力されると、制御回路21は、スタンバイ信号STBを“H”にする。遅延回路40bは、これに応答してスタンバイ信号STB2を“H”にする。これにより、駆動回路25、30から出力される表示装置駆動用信号RDRV、CDRVは停止され、LCD50の表示は停止する。次いで、遅延回路40cから出力されるスタンバイ信号STB3が“H”になり、記憶回路22はスタンバイモードになる。その後、遅延回路40aから出力されるスタンバイ信号STB1が“H”になり、発振回路26及び昇圧回路27は動作を停止する。表示モードへの移行時には、これとは逆の順序で各回路を動作させるタイミングでスタンバイ信号STB1等が出力される。



(2)

【特許請求の範囲】

【請求項 1】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第 1 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第 1 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第 2 の所定時間だけ遅延させて出力する第 2 の遅延回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する発振回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

前記表示駆動用電圧及び前記制御回路から出力される表示用データが与えられ、前記第 2 の遅延回路から出力される待機信号が不活性時には該表示用データに基づいて表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示装置駆動用信号の出力を停止する駆動回路とが、

集積回路で構成されたことを特徴とする表示駆動装置。

【請求項 2】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第 1 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第 1 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第 2 の所定時間だけ遅延させて出力する第 2 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には、該待機信号を前記第 1 の所定時間より短い第 3 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には、該待機信号を前記第 2 の所定時間より短い第 4 の所定時間だけ遅延させて出力する第 3 の遅延回路

2

と、

前記第 1 の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する発振回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

10 前記第 3 の遅延回路から出力される待機信号が不活性時には前記制御回路から出力される表示用データを格納するとともに、読み出し要求に応じて該格納した表示用データを出力し、該待機信号が活性化された時には読み書きのアクセスが禁止され、かつ該格納した表示用データを低消費電力状態で保持する記憶回路と、

前記表示駆動用電圧が与えられ、前記第 2 の遅延回路から出力される待機信号が不活性時には前記記憶回路に格納された表示用データを読み出して該表示用データに基づいた表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示用データの読み出しを停止するとともに、該表示装置駆動用信号の出力を停止する駆動回路とが、

集積回路で構成されたことを特徴とする表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示器（以下、「LCD」という）等の表示装置を駆動する表示駆動装置、特に表示モードとスタンバイモード（低消費電力での待機状態）との切替え機能を有する表示駆動装置に関するものである。

【0002】

30 【従来の技術】大規模集積回路（以下、「LSI」という）技術においては、低電源電圧化や低消費電力化が進められている。LCD等の表示装置を駆動するために、LSIで構成された表示駆動装置においても、電源電圧の低電圧化が行われている。一方、LCD、蛍光表示管、発光ダイオード等の表示装置においては、表示画素を駆動するために必要な電圧が、画素材料によって決ま

っており、更に、表示品位の向上を図るために、高輝度出力の可能な高電圧が要求されることが多い。このため、LSIで構成された表示駆動装置では、電源電圧をマイクロコンピュータ等の 5 [V] 等の電源電圧に一致させて、このマイクロコンピュータ等とのインタフェースを図っている。そして、例えば LCD の表示装置を駆動するための 10 [V] 程度の電圧は、表示駆動装置の内部に設けた駆動電圧発生回路から供給するようにしている。このような駆動電圧発生回路を内蔵した表示駆動装置では、低消費電力化を図るために、表示を行う必要のない期間中、この駆動電圧発生回路の動作を停止させ、LCD に表示駆動用の電力を供給せずに低消費電力

50

(3)

3

状態に保持するスタンバイモードを有している。

【0003】表示モードとスタンバイモードの切替えは、例えば、このような表示駆動装置とLCDによる表示装置とを備えたパーソナルコンピュータの場合、一定時間継続してキーボード等からの入力が無い時に、中央処理装置（以下、「CPU」という）から表示駆動装置にスタンバイモードへの切替えを指示するコマンドを与えるようにしている。スタンバイモードへの切替えのコマンドが与えられると、表示駆動装置は、内部の駆動電圧発生回路、表示データを格納している記憶回路、及びLCDの表示画素単位に駆動電力を供給する駆動回路等に対して、スタンバイ信号を出力する。これにより、内部の各回路はスタンバイモードになる直前の状態を維持したまま動作を停止する。また、CPUは、スタンバイモード中にキーボード等からの入力を検出すると、表示駆動装置に対して表示モードへの切替えを指示するコマンドを与える。表示モードへの切替えのコマンドが与えられると、表示駆動装置は、スタンバイ信号を停止する。これにより、LCDには、スタンバイモードになる直前の表示内容が、再び表示されるようになる。

【0004】

【発明が解決しようとする課題】しかしながら、LSIで構成された従来の表示駆動装置では、次のような課題があった。スタンバイモードを指示するコマンドが与えられると、表示駆動装置では、内部の各回路に一齐にスタンバイ信号が出力される。従って、回路構成によって、各回路がスタンバイモードへ切替わる順序は一定していない。このため、例えば、記憶回路が先にスタンバイモードへ切替わると、この記憶回路から読み出されるデータは誤ったデータになる。一方、駆動電圧発生回路と駆動回路は、まだスタンバイモードに切替わっていないので、LCDには一瞬意味不明の内容が表示されるという現象が生ずる。あるいは、駆動回路が表示動作を行っている間に、駆動信号発生回路がスタンバイモードに切替わると、その切替え過程で駆動電圧が徐々に低下し、異常表示が生じる場合がある。これらの現象は、スタンバイモードから通常表示モードへの切替え時においても生じ、ユーザに不快感を与えるとといった課題があった。本発明は、前記従来技術が持っていた課題を解決し、スタンバイモードへの切替えと、スタンバイモードから通常表示モードへの切替え時において、異常表示を生ずることのない表示駆動装置を提供するものである。

【0005】

【課題を解決するための手段】前記課題を解決するため、本発明のうちの第1の発明は、待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第1の所

4

定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第1の遅延回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第2の所定時間だけ遅延させて出力する第2の遅延回路と、発振回路と、駆動電圧発生回路と、駆動回路とが集積回路で構成されている。発振回路は、前記第1の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する回路である。駆動電圧発生回路は、前記第1の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する回路である。また、駆動回路は、前記表示駆動用電圧及び前記制御回路から出力される表示用データが与えられ、前記第2の遅延回路から出力される待機信号が不活性時には該表示用データに基づいて表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示装置駆動用信号の出力を停止する回路である。

【0006】第2の発明は、第1の発明と同様の制御回路と、第1の発明と同様の第1及び第2の遅延回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には、該待機信号を前記第1の所定時間より短い第3の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には、該待機信号を前記第2の所定時間より短い第4の所定時間だけ遅延させて出力する第3の遅延回路と、第1の発明と同様の発振回路と、第1の発明と同様の駆動電圧発生回路と、前記第3の遅延回路から出力される待機信号が不活性時には前記制御回路から出力される表示用データを格納するとともに、読み出し要求に応じて該格納した表示用データを出力し、該待機信号が活性化された時には読み書きのアクセスが禁止され、かつ該格納した表示用データを低消費電力状態で保持する記憶回路と、前記表示駆動用電圧が与えられ、前記第2の遅延回路から出力される待機信号が不活性時には、前記記憶回路に格納された表示用データを読み出して該表示用データの基づいた表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示用データの読み出しを停止するとともに、該表示装置駆動用信号の出力を停止する駆動回路とが、集積回路で構成されている。

【0007】第1の発明によれば、以上のように表示駆動装置を構成したので、次のような作用が行われる。待機信号が不活性状態から活性状態に変化すると、第2の遅延回路から駆動回路に対して直ちに待機信号が与えられ、駆動回路の出力が停止する。次いで、第1の遅延回路から発振回路及び駆動電圧発生回路に対して待機信号

(4)

5

が与えられ、クロック信号及び表示駆動用電圧の発生が停止する。待機信号が活性状態から不活性状態に変化すると、第1の遅延回路から発振回路及び駆動電圧発生回路に与えられる待機信号が直ちに不活性状態になり、クロック信号及び表示駆動用電圧の発生が開始される。次いで、第2の遅延回路から駆動回路に対して与えられる待機信号が不活性状態になり、駆動回路から表示装置駆動用信号が出力される。第2の発明によれば、次のような作用が行われる。

【0008】待機信号が不活性状態から活性状態に変化すると、第2の遅延回路から駆動回路に対して直ちに待機信号が与えられ、この駆動回路の出力が停止する。次いで、第3の遅延回路から記憶回路に対して待機信号が与えられ、この記憶回路は待機状態になる。その後、第1の遅延回路から発振回路及び駆動電圧発生回路に対して待機信号が与えられ、クロック信号及び表示駆動用電圧の発生が停止する。待機信号が活性状態から不活性状態に変化すると、第1の遅延回路から発振回路及び駆動電圧発生回路に与えられる待機信号が直ちに不活性状態になり、クロック信号及び表示駆動用電圧の発生が開始される。次いで、第3の遅延回路から記憶回路に対して与えられる待機信号が不活性状態になり、この記憶回路は動作状態となる。その後、第2の遅延回路から駆動回路に対して与えられる待機信号が不活性状態になり、この駆動回路から表示装置駆動用信号が出力される。

【0009】

【発明の実施の形態】図1は、本発明の実施形態を示すもので、LSIで構成された表示駆動装置を有するLCD表示装置の概略の構成図である。このLCD表示装置は、表示用データDTを出力するとともに、この装置全体の表示／非表示等の制御を行うCPU10で制御されるようになっている。CPU10は、表示駆動装置20の制御回路21に接続されている。制御回路21は、CPU10から待機モード（即ち、スタンバイモード）または表示モードを指定するコマンドCMDと、表示用データDTとが与えられ、この表示用データDTを出力するとともに、このコマンドCMDに応じた待機信号（例えば、スタンバイ信号）STBを出力する回路である。スタンバイ信号STBは、スタンバイモード時には活性化されて、例えば論理“H”になり、表示モード時には不活性状態の、例えば論理“L”になる信号である。制御回路21における表示用データDTの出力側には、記憶回路22が接続されている。記憶回路22は、例えば、スタティック・ランダムアクセスメモリ（SRAM）で構成され、後述の遅延回路40cから与えられるスタンバイ信号STB3が“L”の時には表示用データDTをビットマップ形式で格納するとともに、読み出し要求に応じて格納した表示用データDTを出力し、スタンバイ信号STB3が“H”の時には読み書きのアクセスが禁止され、かつスタンバイ信号STB3が“L”の

6

時よりも消費電力を下げて、その格納した表示用データDTを保持するメモリである。

【0010】記憶回路22の出力側には、シフト回路23が接続されている。シフト回路23は、記憶回路22内の表示用データDTを表示行単位に読み出し、対応する表示位置までシフトして整列させるためのレジスタである。シフト回路23の出力側には、ラッチ回路24が接続されている。ラッチ回路24は、シフト回路23で整列された行単位の表示用データDTを保持して出力する回路であり、このラッチ回路24の出力側には、駆動回路25のデータ入力側が接続されている。駆動回路25は、表示駆動用電圧が与えられ、後述の遅延回路40bから与えられるスタンバイ信号STB2が“L”の時にはラッチ回路24から出力される表示用データDTに基づいて表示列に対応する表示装置駆動用信号RDRVを出力し、スタンバイ信号STB2が“H”の時にはこの表示装置駆動用信号RDRVの出力を停止する回路である。表示駆動装置20は、また、発振回路26を有している。発振回路26は、後述の遅延回路40aから与えられるスタンバイ信号STB1が“L”の時には一定周波数のクロック信号CKを発振し、スタンバイ信号STB1が“H”の時にはこのクロック信号CKの発振を停止する発振器である。発振回路26の出力側には、例えば昇圧回路27及び分圧回路28で構成される駆動電圧発生回路と、タイミング回路29とが接続されている。

【0011】昇圧回路27は、発振回路26から与えられるクロック信号CKをスイッチング用の制御信号として使用し、例えば5[V]の直流電源からLCDを駆動するために必要な10[V]の直流電圧を生成する回路である。昇圧回路27の出力側には、分圧回路28が接続されている。分圧回路28は、昇圧回路27から与えられる10[V]の直流電圧から、LCDの画素表示に必要な複数の表示駆動用電圧（例えば、3.3[V]、6.7[V]等）を生成する回路であり、抵抗分圧器で構成されている。分圧回路28の出力側は、前記駆動回路25及び駆動回路30の表示駆動用電圧の入力側に接続されている。駆動回路30は、表示駆動用電圧が与えられ、後述の遅延回路40bから与えられるスタンバイ信号STB2が“L”の時には表示行に対応する表示装置駆動用信号CDRVを順次出力し、スタンバイ信号STB2が“H”の時にはこの表示装置駆動用信号CDRVの出力を停止する回路である。タイミング回路29は、記憶回路22、シフト回路23、ラッチ回路24、及び駆動回路25、30等の各回路の動作に必要なタイミング信号T1、T2、T3、T4、T5等を、発振回路26から与えられるクロック信号CKに基づいて生成して出力する回路である。

【0012】制御回路21におけるスタンバイ信号STBの出力側には、遅延回路40の入力側が接続されてい

(5)

7

る。遅延回路40は、第1の遅延回路40a、第2の遅延回路40b、及び第3の遅延回路40cで構成されている。遅延回路40aは、スタンバイ信号STBが

“L”から“H”に変化した時には第1の所定時間（例えば、 Δt_1 ）だけ遅延して“L”から“H”に変化し、“H”から“L”に変化した時には直ちに“H”から“L”に変化するスタンバイ信号STB1を出力する回路である。遅延回路40aの出力側には、発振回路26及び昇圧回路27が接続されている。遅延回路40bは、スタンバイ信号STBが“L”から“H”に変化した時には直ちに“L”から“H”に変化し、“H”から“L”に変化した時には第2の所定時間（例えば、 Δt_2 ）だけ遅延して“H”から“L”に変化するスタンバイ信号STB2を出力する回路である。遅延回路40bの出力側には、駆動回路25、30が接続されている。

【0013】遅延回路40cは、スタンバイ信号STBが“L”から“H”に変化した時には Δt_1 より短い第3の所定時間（例えば、 Δt_3 ）だけ遅延して“L”から“H”に変化し、“H”から“L”に変化した時には Δt_2 より短い第4の所定時間（例えば、 Δt_4 ）だけ遅延して“H”から“L”に変化するスタンバイ信号STB3を出力する回路である。遅延回路40cの出力側には、記憶回路22が接続されている。この表示制御回路20の駆動回路25、30の出力側には、LCD50が接続されている。LCD50は、縦（列）方向及び横（行）方向に格子状に設けられた複数の電極の交差位置にマトリックス状に配置された表示画素を有し、列と行の電極間の電位差が一定値以上になると、その交差位置の画素が点灯する表示装置である。駆動回路25によって列方向の複数の電極が駆動され、駆動回路30によって行方向の複数の電極が逐次駆動されるようになっている。

図2（1）、（2）は、図1中の遅延回路40の一例を示す説明図であり、同図（1）は回路構成を示す回路図、及び同図（2）は機能を説明するためのタイムチャートである。

【0014】図2（1）の遅延回路40は、図1の遅延回路40a、40b、40cの機能を同時に実現する回路であり、抵抗41を有している。抵抗41の一端にスタンバイ信号STBが与えられ、この抵抗41の他端には、コンデンサ42の一端とインバータ43の入力側とが接続されている。コンデンサ42の他端は接地電位GNDに接続され、インバータ43の出力側はインバータ44の入力側と抵抗45の一端に接続されている。抵抗45の他端は、コンデンサ46の一端とインバータ47の入力側とに接続されている。コンデンサ46の他端は接地電位GNDに接続され、インバータ47の出力側はAND（論理積）ゲート48及びOR（論理和）ゲート49の第1の入力側に接続されている。また、ANDゲート48及びORゲート49の第2の入力側には、スタンバイ信号STBが入力されている。そして、ANDゲ

8

ート48、ORゲート49及びインバータ44の出力側から、それぞれスタンバイ信号STB1、STB2、STB3が出力されるようになっている。

【0015】次に、この遅延回路40の機能を説明する。図2（2）の時刻 t_1 において、スタンバイ信号STBが“L”から“H”に変化すると、抵抗41とコンデンサ42による積分回路により、インバータ43に入力される信号S41の立上がりが遅れる。これにより、時刻 t_2 において、インバータ43の出力側の信号S43が、“H”から“L”に変化する。時刻 t_2 における信号S43の立下がり、抵抗45とコンデンサ46による積分回路で遅延され、信号S45としてインバータ47に与えられる。これにより、インバータ47の出力側の信号S47は、時刻 t_3 に“L”から“H”に変化する。時刻 t_4 においてスタンバイ信号STBが“H”から“L”に変化する場合も同様であり、時刻 t_5 に、信号S43が“L”から“H”に変化し、時刻 t_6 に、信号S47が“H”から“L”に変化する。

【0016】ANDゲート48で、スタンバイ信号STBと信号S47との論理積がとられるので、このANDゲート48の出力側には、スタンバイ信号STBが“L”から“H”に変化した時に第1の所定時間 Δt_1 （ $=t_3-t_1$ ）だけ遅れて変化し、“H”から“L”に変化した時には直ちに变化するスタンバイ信号STB1が出力される。また、ORゲート49で、スタンバイ信号STBと信号S47との論理和がとられるので、このORゲート49の出力側には、スタンバイ信号STBが“L”から“H”に変化した時に直ちに变化し、“H”から“L”に変化した時には第2の所定時間 Δt_2 （ $=t_6-t_4$ ）だけ遅れて変化するスタンバイ信号STB2が出力される。更にインバータ44の出力側には、スタンバイ信号STBが“L”から“H”に変化した時には第1の所定時間 Δt_1 より短い第3の所定時間 Δt_3 （ $=t_2-t_1$ ）だけ遅れて変化し、“H”から“L”に変化した時には第2の所定時間 Δt_2 より短い第4の所定時間 Δt_4 （ $=t_5-t_4$ ）だけ遅れて変化するスタンバイ信号STB3が出力されるようになっている。

【0017】これらの第1の所定時間 Δt_1 、第2の所定時間 Δt_2 等は、例えば、駆動回路25、30等の回路のモード切替えが確実に実行されてから、次の記憶回路22等のモード切替え動作が開始されるようなタイミングになるように、抵抗41、45、及びコンデンサ41、46の値が設定されている。次に、図2を参照しつつ、図1のLCD表示装置における表示モードからスタンバイモードへの切替え時の動作（I）と、スタンバイモードから表示モードへの切替え時の動作（II）について説明する。

【0018】（I） 表示モードからスタンバイモードへの切替え時の動作

(6)

9

CPU10から表示駆動装置20に対して、スタンバイモードへの切替えを指示するコマンドCMDが与えられると、制御回路21はこのコマンドCMDを解読して、図2(2)の時刻t1において、スタンバイ信号STBを“L”から“H”に変化させる。時刻t1におけるスタンバイ信号STBの立上がりにより、遅延回路40から出力されるスタンバイ信号STB2は直ちに“H”に変化する。スタンバイ信号STB2は、駆動回路25、30に与えられているので、これらの駆動回路25、30は、LCD50に与えている表示装置駆動用信号RD
RV、CDRVの出力を停止する。これにより、LCD
50の表示が停止する。時刻t2において、スタンバイ信号STB3が“H”に変化する。スタンバイ信号STB3は、記憶回路22に与えられているので、この記憶回路22は、スタンバイモードになる。その後、時刻t3において、スタンバイ信号STB1が“H”に変化する。スタンバイ信号STB1は、発振回路26及び昇圧回路27に与えられているので、これらの発振回路26及び昇圧回路27の発振動作とLCD駆動用の直流電圧が停止し、完全にスタンバイ状態となる。

【0019】このように、スタンバイモードへの切替えに際して、まず駆動回路25、30をスタンバイモードに切替え、次に記憶回路22をスタンバイモードに切替え、最後に発振回路26及び昇圧回路27をスタンバイモードに切替えているので、スタンバイモードへの切替え時に、LCD50に異常表示が行われるというおそれがない。更に、タイミング信号T1等が正常な時点で記憶回路22がスタンバイモードに切替えられるので、この記憶回路22に格納されたデータが破壊されるおそれがない。

【0020】(II) スタンバイモードから表示モードへの切替え時の動作

CPU10から表示駆動装置20に対して、表示モードへの切替えを指示するコマンドCMDが与えられると、制御回路21はこのコマンドCMDを解読して、図2(2)の時刻t4において、スタンバイ信号STBを“H”から“L”に変化させる。時刻t4におけるスタンバイ信号STBの立下がりにより、遅延回路40から出力されるスタンバイ信号STB1は直ちに“L”に変化する。スタンバイ信号STB1は、発振回路26及び昇圧回路27に与えられているので、これらの発振回路26及び昇圧回路27は、発振動作とLCD駆動用の直流電圧の発生を開始する。時刻t5において、スタンバイ信号STB3が“L”に変化する。スタンバイ信号STB3は、記憶回路22に与えられているので、この記憶回路22は、動作を開始する。

【0021】その後、時刻t6において、スタンバイ信号STB2が“L”に変化する。スタンバイ信号STB2は、駆動回路25、30に与えられているので、これらの駆動回路25、30は、LCD50に対する表示装

10

置駆動用信号RDRV、CDRVの出力を開始する。これにより、完全な表示モードとなる。このように、表示モードへの切替えに際して、まず発振回路26及び昇圧回路27が動作を開始し、次に記憶回路22の動作が開始され、最後に駆動回路25、30が動作を開始するので、表示モードへの切替え時に、LCD50に異常表示が行われるというおそれがない。更に、タイミング信号T1等が正常に出力されてから、記憶回路22が動作を開始するので、記憶回路22に格納されたデータが破壊されるというおそれがない。以上のように、本実施形態の表示駆動装置20では、次の(i)、(ii)のような利点がある。

【0022】(i) 内部の各回路の動作モードを切替えるために、一定のシーケンスでスタンバイ信号STB1～STB3を出力する遅延回路40を有するので、モード切替え時に異常表示をするというおそれがない。

(ii) 記憶回路22に格納されたデータを破壊するというおそれがない。

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の

(a)～(d)のようなものがある。

(a) LCD50の表示容量が小さい場合等において、記憶回路22を持たない表示駆動装置20においても適用可能である。その場合、記憶回路22にスタンバイ信号STB3を与えるための遅延回路40は不要になる。

(b) LCD50に限らず、発光ダイオードや蛍光表示管等の表示装置に対しても適用可能である。但し、その場合は、駆動回路25、30に代えて、それらの表示装置に応じた駆動回路を用いる必要がある。

(c) 遅延回路40の回路は、図2に示すものに限らず、定められたシーケンスに従って、適切なタイミングでスタンバイ信号STB1、STB2、STB3を出力するものであれば、どのような回路構成であっても良い。

(d) 図1の表示駆動装置20は、LSIで構成されているが、LSI以外のIC、VLSI等の集積回路で構成しても良い。

【0023】

【発明の効果】以上詳細に説明したように、第1の発明によれば、待機信号のタイミングを調整して発振回路及び駆動信号発生回路に与える第1の遅延回路と、駆動回路に与える第2の遅延回路を設けたので、表示動作が停止してから発振回路等を停止させ、発振回路等が完全に動作してから表示動作を行うことができる。これにより、モード切替え時における異常表示を防止することができる。第2の発明によれば、第1の発明における第1及び第2の遅延回路に加えて、待機信号のタイミングを調整して記憶回路に与える第3の遅延回路を設けたので、第1の発明の効果に加えて、モード切替え時にお

(7)

11

る記憶回路のデータ破壊を防止することができる。

【図面の簡単な説明】

【図１】本発明の実施形態を示すもので、表示駆動装置を有するＬＣＤ表示装置の概略の構成図である。

【図２】図１中の遅延回路４０の回路構成と機能を示す説明図である。

【符号の説明】

10

CPU

20

表示駆動装置

21

2 2

25, 30

26

27

28

29

4 0, 4 0 a, 4 0 b, 4 0 c

50

12

制御回路

記憶回路

駆動回路

発振回路

昇圧回路

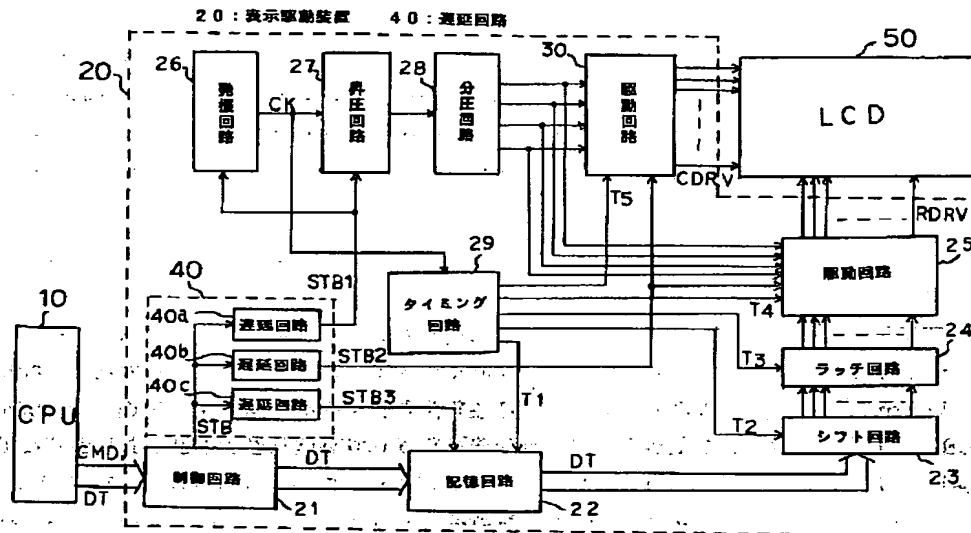
分压回路

タイミング回路

遲延回路

LCD

【図 1】



本発明の実施形態の表示駆動装置を有するＬＣＤ表示装置

(8)

【図2】

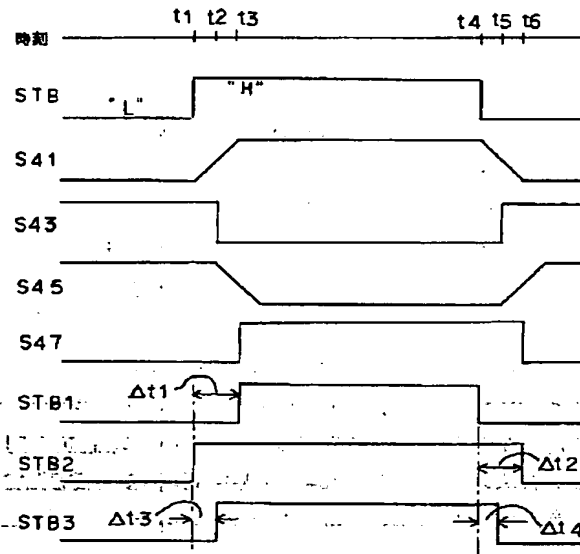
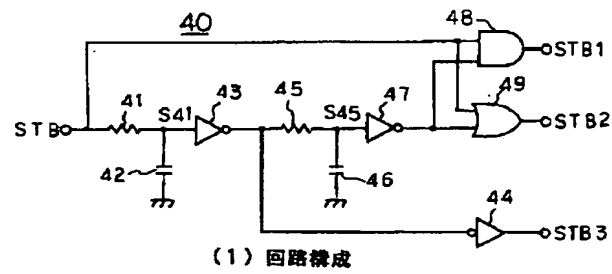


図1中の遅延回路40